

SUBSTRATE FOR SEMICONDUCTOR DEVICE

特許公報番号 JP58015241

公報発行日 1983-01-28

発明者: DOI YOSHIHIKO; OGASA NOBUO; IGARASHI TADASHI;
OOTSUKA AKIRA

出願人 SUMITOMO ELECTRIC INDUSTRIES

分類:

一国際: H01L21/52; H01L23/14; H01L23/31; H01L23/373;
H01L23/495; H01L23/498; H05K1/05; H01L21/02;
H01L23/12; H01L23/28; H01L23/34; H01L23/48; H05K1/05;
(IPC1-7): H01L21/58; H01L23/12一欧州: H01L23/14M; H01L23/31H2; H01L23/373L; H01L23/495D;
H01L23/498E; H05K1/05B

出願番号 JP19810113878 19810720

優先権主張番号: JP19810113878 19810720

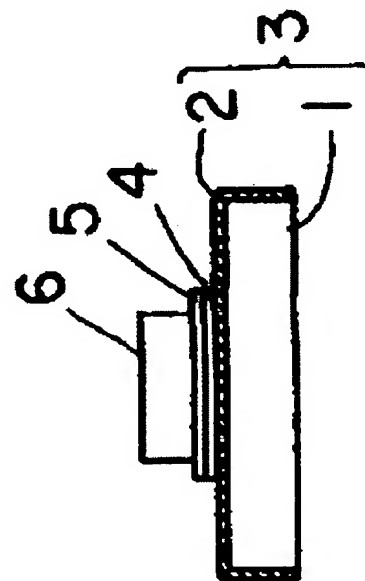
他の公開

 US4480013 (A1)

ここにデータエラーを報告してください

要約 JP58015241

PURPOSE: To sufficiently respond to the increase in the size and density of an integrated circuit by covering a base metal having high thermal conductivity and low thermal expansion property with a thin diamond or ceramic layer, thereby obtaining a semiconductor element placing substrate having thermal expansion coefficient similar to that of the semiconductor element to be placed and excellent heat dissipation property. **CONSTITUTION:** A base metal 1 employs a thin plate or tape such as Mo, W, Kovar, or 42-alloy (42%-Ni-Fe), to arbitrarily set the prescribed thermal expansion property and thermal conductivity, a composite tape or composite plate such as copper clad Kovar clad copper, copper clad 42 alloy clad copper, or 42-alloy clad copper clad 42 alloy, as a material 2 to be covered on the surface a diamond, ceramic material of BN, Al₂O₃, AlN, SiC or the like. They can be selected suitably and their combination as required for the properties of the circuit board, and the thickness can also be arbitrarily controlled.



esp@cenet データベースから供給されたデータ - Worldwide

⑨ 日本国特許庁 (JP)
⑩ 公開特許公報 (A)

⑪ 特許出願公開
昭58—15241

⑫ Int. Cl.³
H 01 L 21/58
23/12

識別記号

庁内整理番号
6679—5F
7357—5F

⑬ 公開 昭和58年(1983)1月28日

発明の数 1
審査請求 有

(全 3 頁)

⑭ 半導体装置用基板

⑯ 特 願 昭56—113878

⑰ 出 願 昭56(1981)7月20日

⑱ 発 明 者 土井良彦

伊丹市昆陽北1丁目1番1号住
友電気工業株式会社伊丹製作所
内

⑲ 発 明 者 小笠伸夫

伊丹市昆陽北1丁目1番1号住
友電気工業株式会社伊丹製作所
内

⑱ 発 明 者 五十嵐廉

伊丹市昆陽北1丁目1番1号住
友電気工業株式会社伊丹製作所
内

⑲ 発 明 者 大塚昭

伊丹市昆陽北1丁目1番1号住
友電気工業株式会社伊丹製作所
内

⑳ 出 願 人 住友電気工業株式会社

大阪市東区北浜5丁目15番地

㉑ 代 理 人 弁理士 上代哲司

明 細 書

1. 発明の名称

半導体装置用基板

2. 特許請求の範囲

(1) 熱膨張係数が $8.0 \sim 8.0 \times 10^{-6} \text{ cm/cm}^\circ\text{C}$ である金属板、又は複合金属板の表面及び側面に電気絶縁性を有する無機物質を PVD 又は CVD 法により $0.1 \sim 20 \mu\text{m}$ の厚みの薄膜を被覆したことを特徴とする半導体素子搭載用の半導体装置用基板。

(2) 半導体素子が Si 又は GaAs であることを特徴とする特許請求の範囲第(1)項記載の半導体装置用基板。

(3) 金属板又は複合金属板が、Mo、W、コパール、42アロイ(42% Ni-Fe)、銅クラッドコパール、クラッド銅、銅クラッド42アロイクラッド銅、42アロイクラッド銅クラッド42アロイであることを特徴とする特許請求の範囲第(1)項記載の半導体装置用基材。

(4) 被覆層が BN、 Al_2O_3 、 AlN 、 SiC 、 Si_3N_4 、 Y_2O_3 、 $2\text{MgO} \cdot \text{SiO}_2$ 、ダイヤモンドのいずれかであることを

を特徴とする特許請求の範囲第(1)項記載の半導体装置用基板。

3. 発明の詳細な説明

本発明は、集積回路装置の素子搭載基板材に関するものであり、半導体素子に発生する熱を効率よく放熱し得ると共に基板材料本来の特性である素子との熱膨張係数が近似し、電気絶縁性を有する半導体装置用基板材料を提供するものである。

集積回路のうち、高信頼性を必要とするものには、低融点ガラス、セラミックパッケージや多層セラミックパッケージなどのパッケージ法が従来から用いられている。この場合半導体素子はセラミック基板の上に接着の為にメタルライジング層やメッキ層を介して半導体が搭載されるのが一般的である。この基板は、それ自体気密封止機能を果たすパッケージ材料の一部としてのみでなく、電気絶縁性や半導体素子との熱膨張係数のミスマッチが小さいなどの特性が要求されている。このため従来は Al_2O_3 、 BeO 、 $2\text{MgO} \cdot \text{SiO}_2$ 等の焼結セラミック材料が広く用いられている。

しかし乍ら、近年集積回路素子の高密度化及び大型化が進行し、高密度化により半導体素子からの発熱量の増大を招き基板材料に対する放熱性の要求がますます大きくなりつつある。この為、レジストモールドタイプのICに用いられるリードフレームにはその素材がNi合金からCu合金の交換しつつある。低融点ガラスセラミックパッケージや多層セラミックパッケージの集積回路についても同様に放熱性の要求が強いが、 Al_2O_3 や $2MgO \cdot SiO_2$ では本質的に熱伝導率が悪く、この要求に答え難い。わずかに良熱導性材であるBeOがあるが、これは高価である上に毒性を有するという難点がある。又最も多用されている Al_2O_3 はその成型、焼結時に混入するUより発生する α 線による半導体素子への照射効果によつて起る集積回路の誤動作がこの高性能、高信頼性化の要求の強まる中で、大きな問題になりつつある。

本発明はかかる欠点を解消し、従来のセラミック基板に替る放熱性良好な半導体素子搭載用基板材料を提供せんとするものである。

ての要求特性と要求価格に応じて、材質の組合せ、構成比を選択することにより、今後ますます増大する高密度かつ大型化する半導体素子に対応できる。又Si集積回路に加えて今後実用化が進むと考えられるGaAs集積回路のパッケージ用材料としても活用できる集積回路装置の半導体素子搭載用基板材料を提供することが可能である。

ダイヤモンド又はセラミックスを被覆する方法としては、物理的蒸着(PVD)、化学的蒸着(CVD)などの気相メッキ法を用いることが好ましい。

本発明においてベースメタルの熱膨張係数を $3.0 \sim 8.0 \times 10^{-6}$ と限定したのは搭載半導体素子であるSi及びGaAsと熱膨張係数を近似させ、熱膨張の不整合に起因する応力の影響を小さくするためであり、今後の半導体素子の大型化にともなつてますますこの特性は重要視されよう。

又表面被覆の厚みを $0.1 \sim 20 \mu m$ と限定したのは、これ以下では所要の電気絶縁性を得ることができず、これ以上になると被覆の為のコストが著しく大きくなり、経済性の面で実用性が乏しいため

すなわち本発明の半導体素子搭載用基板材料は素子の熱膨張係数に近似した熱膨張係数を有し、熱伝導性の優れた金属、合金またはこれらの複合テープを用い、この表面に電気絶縁性を有し、かつ比較的熱伝導性が良好で熱膨張係数が上記ベースメタルと近似した無機物質の皮膜を薄層被覆したものである。ここで云うベースメタルとしてはMo, W, コパール、42アロイ(42% Ni-Fe)などの薄板、テープや、所要の熱膨張特性と熱伝導性を任意に設定できるように、銅クラッドコパールクラッド銅、銅クラッド42アロイクラッド銅、42アロイクラッド銅クラッド42アロイなどの複合テープ又は複合板を用いることが特に有効である。又この表面に被覆される材料としてはダイヤモンドの他BN, Al_2O_3 , AlN , SiC等のセラミック材が有効であり、これらは回路基板の要求特性に応じて適宜材料及びその組合せを選択し、また膜厚も任意に制御することができる。

このようなセラミック被覆金属と云う複合型基板によつて、半導体素子の差異や半導体装置とし

ある。

第1図は本発明の基板を用いて半導体素子を搭載した半導体装置の断面図であり、1が素子の熱膨張係数に近似した金属板又は複合金属板であり、2がその表面に被覆された絶縁被覆層で、基板3を形成する。4はメタルライジング層、5はAuメッキ層で、これを介して半導体素子6が搭載される。

以下実施例によつて詳しく説明する。

実施例1

GaAs半導体素子を搭載するための Al_2O_3 薄膜を被覆した金属基板をイオンブレーティング法で作製した。

金属基板には厚さ $0.5 mm$ の銅クラッド42アロイクラッド銅の積層金属板を用い、熱膨張係数を $7.0 \times 10^{-6}/deg$ とするために銅比率(断面積比)60%とした。イオンブレーティングは次の方法で実施した。原料には Al_2O_3 焼結体を用い、電子ビーム加熱により蒸発させた。酸蒸圧 4×10^{-4} Torrで高周波(13.56MHz)100~200Wを印加し

て蒸発物質の一部をイオン化し、基板を200℃に加熱して Al_2O_3 を厚さ100 μm 被覆した。3MV/cm以上の絶縁耐圧特性を有する透明な絶縁体薄膜を密着性良く被覆した熱膨張係数が塔載するGaAs素子と近似し、熱放散性に優れた半導体素子塔載用基板を得ることが出来た。

実施例2

実施例1と同様の金属基板上にイオンプレーティング法によつて2 μm の Si_3N_4 を被覆した半導体塔載用基板を作製した。イオンプレーティングは Si_3N_4 粉末の圧粉体を電子ビーム加熱によつて蒸発させ、 4×10^{-4} Torrの真空圧で高周波(13.56MHz)100~200Wを印加して行つた。基板は200℃に加熱した。3MV/cm以上の絶縁耐圧特性を有する絶縁体薄膜を密着性良く被覆した熱放散性に優れた半導体素子塔載用基板を得ることが出来た。

実施例3

実施例1と同様の基板上にスパッタ法で2 μm の $2MgO \cdot SiO_2$ を被覆した半導体塔載用基板を作製

した。スパッタは次の方法で実施した、ターゲットには $2MgO \cdot SiO_2$ 焼結体を用い、 1×10^{-4} Torrの10%酸素を含むアルゴン中で行つた。基板は200℃に加熱した。

3MV/cm以上の絶縁耐圧特性を有する絶縁体薄膜を密着性良く被覆した熱放散性の優れた半導体素子塔載用基板を得ることが出来た。

実施例4

Si半導体素子を塔載するためのSiC薄膜を被覆した金属基板をプラズマCVD法で作製した。金属基板には厚さ0.5mmのモリブデンを用いた。プラズマCVDは容量結合型グロー放電装置を用い、 1×10^{-4} Torrの SiH_4 と CH_4 の混合ガスを用い、基板は500℃に加熱して行つた。3MV/cm以上の絶縁耐圧特性を有する5 μm のSiC薄膜を密着性良く被覆した熱膨張係数が塔載するSi素子と近似した熱放散性に優れた半導体塔載用基板を得ることが出来た。

以上説明した如く、高熱伝導性、低熱膨張特性のベースメタル上にダイヤモンド又はセラミック

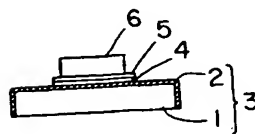
を薄層被することにより、熱膨張係数が塔載する半導体素子と近似し、かつ熱放散性に優れた半導体素子塔載用基板が得られた。これにより、集積回路の大型化、高密度化に充分対応できるようになった。

4. 図面の簡単な説明

第1図は本発明による基板を用いた半導体装置の模式的断面図である。

1: 金属板、2: 絶縁被覆層、3: 基板、4: メタルライジング層、5: Auメッキ層、6: 半導体素子。

第1図



代理人 井理士 上代哲司